CPU: 能够按照指令存储器中存储的指令执行的组合与时序逻辑电路

PC\_REG

现在PC\_REG可以正常生成PC指令，hold命令与JUMP状态测试也是通过的

从电路构成角度看，这将会被综合成32位的同步复位触发器，其输入信号在HOLD或JUMP的逻辑部分控制下改变触发器的输入。

IFU可以与ROM正常通信取出正确的指令

图形用户界面, 图示

描述已自动生成

这里时序地址0的指令无法获取，被舍弃了。

解决方案：这个send pc的有效位不能在复位之后同步给，应当一开始就生效，那么请问这一位的意义是什么，可以拿掉吗？暂时不拿，后面肯定有用。

## 代码布局

### pc\_reg\_test\_tb.sv

时钟复位信号

模块实例化：u\_pc\_reg， u\_csr\_reg

用例场景，正常PC+4， hold场景，跳转场景。

### Ifu\_test\_tb.sv

时钟复位信号

所有内部接线声明，这个部分感觉应该弄到soc\_top层下

实例化

读取指令

给时钟复位信号